

(54) HEAT TREATMENT METHOD FOR SEMICONDUCTOR SUBSTRATE

(11) 58-28855 (A) (43) 19.2.1983 (19) JP
 (21) Appl. No. 56-117334 (22) 27.7.1981
 (71) NIPPON DENKI K.K. (72) YUKINOBU TANNO
 (51) Int. Cl. H01L21/86, H01L21/205, H01L21/324

PURPOSE: To improve crystallinity and contrive the improvement for the characteristic of an SOS device, by performing an isothermal-multistage heat treatment in H_2 before throwing into device processes after growing an Si film on a sapphire (or spinel) substrate.

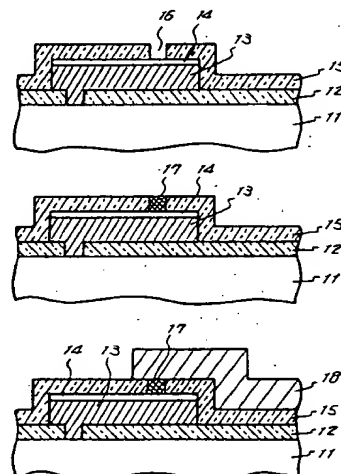
CONSTITUTION: For the crystal orientation of a sapphire (or spinel) substrate, (1-102) is used, and the SOS film on plane (100) is grown at a substrate temperature of $\sim 1,000^\circ\text{C}$ in an epitaxial growth reactor by SiH_4/H_2 . Next, the substrate whereon this SOS film is grown is applied to heat treatment of isothermal-multistage at $1,000^\circ\text{C} \sim 1,200^\circ\text{C}$ for 0.5~5hr in an H_2 atmosphere. Probably since the crystal boundary of the SOS film decreases by cycles of heating-cooling in such a heat treatment (isothermal-multistage), crystal defects (dislocations, twins) decreases.

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(11) 58-28856 (A) (43) 19.2.1983 (19) JP
 (21) Appl. No. 56-127041 (22) 13.8.1981
 (71) NIPPON DENKI K.K. (72) KUNIO AOMURA
 (51) Int. Cl. H01L21/88

PURPOSE: To prevent the disconnection on the conductive film of the upper layer, by easily reducing steps of an open hole part provided on an insulating film which electrically isolates the conductive films of the lower layer and the upper layer or almost eliminating them.

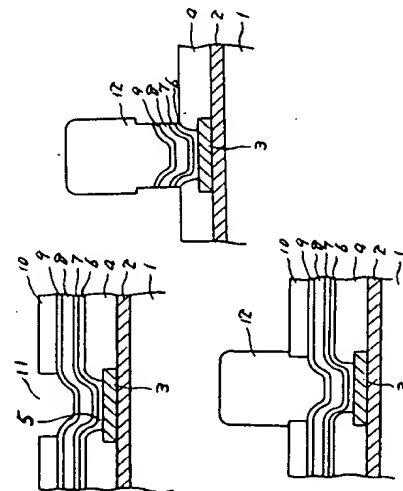
CONSTITUTION: An open hole part is provided on an oxide film 12 covering an Si substrate 11, this open hole part is covered, and a conductive film 13 by Al having an Si thin film 14 is selectively provided on the surface thereof. Next, after an Si oxide film 15 is adhered over the whole by a vapor growth, an open hole part 16 reaching the thin film 14 is selectively provided on the film 15. Then, a W layer 17 is selectively provided in the open hole part 16 by a vapor growth. Next, this W layer 17 is covered, and the Al conductive film 18 extended on the Si oxide film 15 is selectively provided. Thereby, a semiconductor device by a double layer wiring is formed.

**(54) SEMICONDUCTOR DEVICE**

(11) 58-28857 (A) (43) 19.2.1983 (19) JP
 (21) Appl. No. 56-125249 (22) 12.8.1981
 (71) TOKYO SHIBAURA DENKI K.K. (72) OSAMU SHIMADA
 (51) Int. Cl. H01L21/92

PURPOSE: To prevent cracks on an insulating film and improve reliability, by providing a strain buffer layer, barrier layer and projected electrode main body as the structure of an external lead-out projected electrode for a semiconductor device and buffering strains by a strain buffer layer.

CONSTITUTION: An Si oxide film 2 is grown on the main surface of an Si wafer 1 by a thermal oxidation, further Al is heaped on this oxide film 2, and thus an Al wiring layer 3 is formed. After a PSG film 4 as an insulating film is heaped by a CVD method, a contact hole 5 is provided. Next, Al 6 as a strain buffer layer and Ti 7, Ni 8, Pd 9 as a barrier layer are successively heaped on the PSG film 4 whereon this contact hole 5 is provided. Subsequently, a resist 10 is applied, an open hole part 11 is provided on the part corresponding to the hole 5, and Au plating 12 is performed with the resist 10 as a plating mask and layers 9~6 as plating electrodes. Then, after the resist 10 is removed, layers 9, 8 are etched with the plated Au 12 as a mask, next a Ti layer 7 is etched with the layers 9, 8 as masks, and finally an Al layer is etched with the layer 7 as a mask resulting in the formation of the projected electrode.



⑫ 公開特許公報 (A)

昭58—28855

⑤ Int. Cl.³H 01 L 21/86
21/205
21/324

識別記号

庁内整理番号

7739—5F
7739—5F
6851—5F

⑬ 公開 昭和58年(1983)2月19日

発明の数 1
審査請求 未請求

(全 4 頁)

⑭ 半導体基板の熱処理方法

東京都港区芝五丁目33番1号日

本電気株式会社内

⑯ 特 願 昭56—117334

⑰ 出 願 人 日本電気株式会社

⑱ 出 願 昭56(1981)7月27日

東京都港区芝5丁目33番1号

⑲ 発 明 者 丹野幸悦

⑳ 代 理 人 弁理士 内原晋

明 細 書

発明の名称 半導体基板の熱処理方法

特許請求の範囲

絶縁基板上に ~ 1000 ℃で成長したSi単結晶基板をH₂雰囲気中で $1000 \sim 1200$ ℃、 $0.5 \sim 5$ 時間の等温多段階の熱処理することを特徴とする半導体基板の熱処理方法。

発明の詳細な説明

本発明は絶縁基板(サファイヤ又はスピネル)上に成長したSi単結晶(いわゆるSOS基板)の熱処理による結晶性改善に関するものである。

SOSの結晶性にはヘテロ接合(異種接合)のため格子定数が合わずに、主に界面付近に結晶欠陥(転位、双晶)が高密度($10^6 \sim 10^9/cm^2$)に発生する。このためにSOSデバイスの電気的特性(例えば易動度、リーク電流)の低下をもたらすことも知られている。SOS基板の結晶性の改善

方法としては、次のようなものが報告されている。例えば(1)SOS結晶にイオン注入をする。(2)SOS結晶をレーザーアニールを行う。(3)(1)と(2)を併用する。(4)熱処理を行う等がある。しかしながら従来の(1)～(3)の方法は高温な装置で、高精度な制御技術を必要とし、大量処理が不可能で再現性に問題がある。

(4)の熱処理方法の公知例としては(α)酸化処理を行う(J. of Crystal Growth 2 (1971) 107～125; ジャーナルオブクリスタルグロース, Vol. 9, (1971), 107～125頁)。(β)窒素ガス又は水素ガス雰囲気中で熱処理を行う。(昭和52年春季応用物理連合報告会, 28a-Q 11, P-428)。(γ)塩酸酸化～水素処理(公開特許公報昭和53-110481)。(δ)窒素-水素処理(昭和54年度電子通信学会半導体・材料部門全国大会P-9)等がある。(ε)はSOS結晶の成長条件にも依るが、ドライ(dry)O₂中で処理するとホール易動度が増減することが述べられている。しかしこの方法はデバイス作製中の一プロセス(SiO₂膜

の形成)として行われる、新たにこの処理を行えば、SOSの実効膜厚が減少するなどの不利な点がある。(イ)はエピタキシャル成長前にHCl・水蒸気でサファイヤ基板を酸化して、これにエピタキシイを行いデバイスを作製する、そのデバイス特性を評価し、Al配線を除き H_2 中で $\sim 500^\circ C$ で熱処理し、シリコンとサファイヤの界面の電荷を増減することによりC-MOSトランジスタの漏れ電流の差を変化させ調節することとあり、結晶性改善の目的とは多少異なり、又処理温度が $\sim 500^\circ C$ と低い。(ロ)はデバイス形成の最終プロセスで N_2-H_2 雰囲気中、 $450^\circ C$ 、30分行ったところ移動度が増大したとあるが、デバイス形成後に熱処理をするためにしきい値電圧(V_{th})が変化してしまう等の不利な点がある。又(ハ)では $900^\circ C$ で成長した $\sim 1.0 \mu m$ のSOS膜を N_2 中で $\sim 1100^\circ C$ 、30分、又は H_2 中で $\sim 1200^\circ C$ 、5分で熱処理をしたところ、ホール移動度が1桁向上したことを述べている。このときX線によるロッキングカーブの半値巾(結晶性の

(3)

(ロ)の公知例では $\sim 1000^\circ C$ 付近で成長した膜の熱処理後のホール移動度はほとんど変化せず、すなわちX線による半値巾もほとんど変化しないものと考えられた。

しかし我々の実験結果では $\sim 1000^\circ C$ で成長したSOS膜でも H_2 中で多段熱処理をすることにより結晶性の改善がなされることが分った。

まず、従来法(水素による熱処理)の実施例について述べる。サファイヤ基板の結晶方位は(1102)を用い、 SiH_4/H_2 系によりエピタキシャル成長炉で $\sim 1000^\circ C$ の基板温度で(100)面のSOS膜を成長する。成長膜厚は0.6, 1.0, 2.0 μm とし、このとき成長速度は0.2 $\mu m/min$ である。次に上記のSOS膜は $CuK\alpha$ を用いた二結晶法でSiの(400)反射X線のロッキングカーブを測定する。このSOS膜を同じエピタキシャル炉内で、その温度を1000, 1100, 1200 $^\circ C$ を選び、 H_2 雰囲気中で ~ 5 時間熱処理を施す。熱処理後、SOS膜のX線ロッキングカーブを測定し評価する。その結果、0.6, 1.0, 2.0 μm SOS

(5)

特開昭58-28855(2)

良否を判断する値、小さいほど良い)は熱処理前の 3° から 0.2° (~ 720 秒)に減少した。一方 $1000^\circ C$ 付近で成長した膜のホール移動度はほとんど変化しないとある。この熱処理により結晶性が改善される理由は今のところ明らかではないが、次のようなことが考えられる。

SOS膜の成長初期は島状成長が行われ、 $\sim 0.2 \mu m$ で連続膜となることが知られている。当然結晶粒界が存在することになり結晶粒界は薄膜ほど高密度にあると考えられる。これを高温処理することにより結晶粒界が減少し、すなわち結晶粒子が成長し大きくなりX線の半値巾も減少すると考えられる。又熱処理により格子不整合による転位、又は双晶等の密度が減少することも一応考えられる。結晶性の改善はX線による評価の他に電気的特性(ホール移動度)からも分る。 H_2 処理により移動度が増大するのは、Si中の転位等の欠陥のダングリングボンドに水素原子が付加され、欠陥の不活性が起り、欠陥に電子や正孔がトラップされなくなるためである。という説もある。

(4)

の熱処理前の半値巾がそれぞれ1100秒, 900秒, 550秒であったものが H_2 中、1000 \sim 1200 $^\circ C$ で熱処理後はその半値巾の減少率は $\sim 30\%$ 以下であった。

次に本発明の実施例について述べる。

サファイヤ基板の結晶方位は(1102)を用い、 SiH_4/H_2 系によりエピタキシャル成長炉で $\sim 1000^\circ C$ の基板温度で(100)面のSOS膜を成長する。成長膜厚は0.6, 1.0, 2.0 μm とし、このときの成長速度は0.2 $\mu m/min$ である。次に上記のSOS膜は $CuK\alpha$ を用いた二結晶法でSiの(400)反射X線のロッキングカーブを測定する。このSOS膜を同じエピタキシャル炉内で、その温度を $\sim 1000^\circ C$ に保ち、 H_2 雰囲気中で一定時間(例えば1時間)のくりかえし熱処理を施し熱処理終了後、X線ロッキングカーブの半値巾を測定する。この結果は第1図に示してある。横軸は熱処理時間であり、縦軸はX線ロッキングカーブの半値巾であり、図から熱処理時間と共に半値巾は減少することが分り、 ~ 5 時間熱処理後

(6)

の半値巾は各膜厚共に熱処理後の値の40～50%となった。

これは従来法の処理方法による半値巾の減少率の～2倍であり、結晶性の改善が著しいことを示している。又5時間熱処理後のSOS膜について、IMAによりAlのオートドーピングを調べたところ問題なく無視できる程度であった。

次に、上記と同条件で成長したSOS膜をH₂雰囲気中、～1100℃で多段階熱処理した結果が第2図に示してある。第1図と同じく、横軸は熱処理時間、縦軸は半値巾であり、その変化量は1000℃の熱処理の場合と比べて、少し大きい。

さらにH₂雰囲気中の熱処理温度を～1200℃とした場合の多段階熱処理時間と半値巾の関係を第3図に示す。図から他の処理温度に比べて1時間処理後の半値巾の変化量はいちばん大きい。この～1200℃で、5時間処理したSOS膜のAlのオートドーピングをIMAで測定したところ、熱処理前と比べて～1桁多くエピタキシャル層に再分布しており、問題となる。この1200℃の熱処

(7)

SOSデバイスの特性向上に寄与できるものである。

図面の簡単な説明

第1図は本発明によるSOS膜をH₂中で～1000℃で多段階熱処理したときの処理時間と膜のX線ロックアップカーブの半値巾との関係である。

第2図は同じく処理温度が～1100℃の同関係を示す。

第3図は同じく処理温度が～1200℃の場合である。

代理人 弁理士 内原 晋

(9)

理の場合にはAlのオートドーピングが問題にならない程度の短時間にすることが望ましい。

以上のように熱処理前のSOS膜の半値巾が従来法の熱処理(等温連続)では～30%減少するのに対し、本発明の熱処理(等温多段階)によれば50～60%減少することが分った。この理由は今のところはっきりしていないが、イ) SOS膜の結晶粒界が加熱—冷却をくり返すことにより減少するためか、ロ) 加熱—冷却をくり返すことにより結晶欠陥(転位、双晶)が減少する。ハ) H₂が結晶中に入りこまれ欠陥を減少させること等が考えられる。

一方H₂雰囲気に変えてN₂雰囲気中で同条件で処理したがSOS膜の半値巾は～20%程度減少するのみでH₂雰囲気ほどの効果は見られなかった。

本発明ではサファイヤ(又はスピネル)基板にSi膜を成長したあとに、デバイスプロセス投入前にH₂中で熱処理を施すことを特徴とするもので、従来のSOS膜よりも高品質のものが得られ、

(8)

図 1

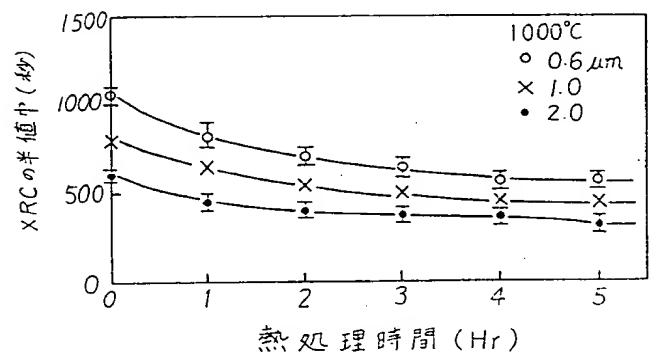
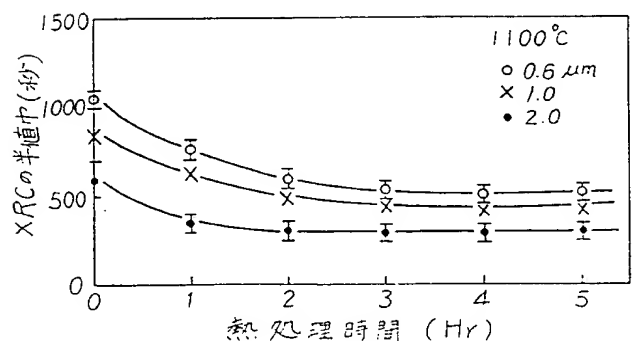


図 2

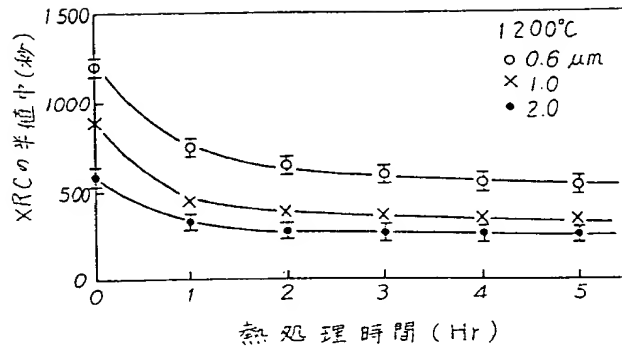


57.9.20

昭和 年 月 日



才 3 図



特 許 庁 長 官 殿

1. 事件の表示 昭和56年特許願第117334号

2. 発明の名称 半導体基板の熱処理方法

3. 補正をする者

事件との関係

出 願 人

東京都港区芝五丁目33番1号
(423) 日本電気株式会社

代表者 関本忠弘

4. 代 理 人

〒108 東京都港区芝五丁目37番8号 住友三田ビル
日本電気株式会社内
(6591) 弁理士 内 原 晋
電話 東京 (03) 456-3111 (大代表)
(連絡先 日本電気株式会社 特許部)

5. 補正の対象

明細書の発明の詳細な説明の欄

6. 補正の内容

明細書第2頁の第5行目「(1)~(3)の方法は高温な装置で、」とあるを「(1)~(3)の方法は高価な装置で、」と補正する。

代理人 弁理士 内 原 晋

